



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 04017374 A

(43) Date of publication of application: 22.01.92

(51) Int. Cl.

H01L 29/84  
G01L 9/04

(21) Application number: 02120606

(22) Date of filing: 10.05.90

(71) Applicant: FUJII ELECTRIC CO LTD

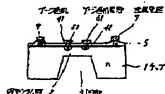
(72) Inventor: SAKAI TOSHIKI

(54) SEMICONDUCTOR PRESSURE SENSOR

(57) Abstract:

**PURPOSE:** To prevent scratches on the upper surface of a device while preventing the failure of bonding at the bottom to a support base by distributing a specific number of projections, taller than electrodes to be connected to gauge resistors and device regions, in the periphery of a semiconductor substrate.

**CONSTITUTION:** A diaphragm 2 and gauge resistors 41 are formed on the upper side of a silicon chip 1 that has a recess 3 on the other side. On the upper side, each resistor 41 is connected with an electrode 61 through a window in an oxide film, and at least three projections 7 are provided in chip border areas. The projections 7 are taller than the electrodes 61 and in contact with the chip surface on their bottom.



COPYRIGHT: (C) 1992, IPO &amp; Japio

⑨ 日本国特許庁(J P)

⑩ 特許出願公開

## ⑪ 公開特許公報(A) 平4-17374

⑫ Int. Cl.

⑬ 発明の名称

⑭ 特許庁整理番号

⑮ 公開 平成4年(1992)1月22日

H 01 L 29/84  
G 01 L 9/04

1 0 1

B  
2104-4M  
9009-2F

審査請求 未請求 請求項の数 2 (全4項)

⑯ 発明の名称 半導体感圧素子

⑰ 特 願 平2-120606

⑱ 出 願 平2(1990)5月10日

⑲ 発 明 者 酒 井 利 明 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑳ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

㉑ 代 理 人 井理士 山 口 隆

## 要 約

1. 発明の名称 半導体感圧素子

2. 特許請求の範囲

1) 基面側に凹部を有する半導体素子の表面側の第一導電型の層に第二導電型のゲージ抵抗もしくは第一導電型のゲージ抵抗および第一あるいは第二導電型の付着回路素子領域を有するものにおいて、半導体素子の凹部の前記表面上にゲージ抵抗および素子領域に接続される電極より高い少なくとも3層の突起が分散して設けられたことを特徴とする半導体感圧素子。

2) 半導体素子の基面側の凹部の周囲の部分が凹部と接続されるものであって、突起が前記凹部部分と電気的に接続されることを特徴とする請求項1記載の半導体感圧素子。

3. 発明の詳述な説明

(産業上の利用分野)

本発明は、自動車の吸気負圧の測定、時計の大気圧測定、水圧測定、医療用の血圧の測定などの用途に用いられるもので、半導体素子のダイヤフ

ラム面に設けたゲージ抵抗におけるピエゾ抵抗効果により圧力を電気信号に変換する半導体感圧素子に関する。

(従来の技術)

半導体感圧素子の半導体素子は、圧力により変形する薄いダイヤフラム部とそのダイヤフラム部に形成された感電素子のゲージ抵抗とを有する。第2図はそのような構造を示し、シリコンチップ1にはダイヤフラム部2を形成して凹部3が形成され、ダイヤフラム部2にはブリッジを構成する複数のコ型ゲージ抵抗4が形成されている。このチップ1の凹部3と反対側の表面は酸化膜5によって被覆され、その酸化膜の凹部で電極6がゲージ抵抗に接続し、外部回路との接続を可能にしている。また、最近の動向としては、ダイヤフラム部を有する半導体チップに、主要素のゲージ抵抗のほか、増幅回路、補償回路などの付属回路も1チップ・プロセスにより集積した小形、高密度の感圧素子へと移行しつつある。第3図はそのような感圧素子の半導体チップを示し、半導体チップ1の

特開平4-17374(2)

図面2が形成される。型基板11の上にa'分層層12を形成してロ型エピタキシャル層13が堆積され、そのエピタキシャル層のb'分層層14で分離された積層にc'ゲージ抵抗41が、また別の分離された積層に付着回路のための電子積層42が形成されている。そして表面の酸化膜5の下部では、この電子積層42に電子電極54が形成している。そして電極51,52は低抵抗酸化膜51により保護されている。ゲージ抵抗層51の延長部あるいは露出し、ボンディングパッドを形成している。

このような低抵抗素子の半導体チップを支持するために、パイレックスガラスなどの台座の上にチップを静電接合により固着して能くコストを低減することが行われる。

(発明が解決しようとする課題)

第1図に示すような半導体チップの作成には、裏面側からのゲージ抵抗41の形成のための剥離抵抗下板、裏面側からの図解3形成のためのスッチング工程が必要である。また、第3図に示すよ

うな半導体チップの作成には、そのほかに裏面側からの電子積層42形成のための1C低抵抗工程が必要である。このため、チップの素材であるシリコンウエーハは、裏面、裏面側より取扱われる。従って、図解3の形成工程では、ウェーハを裏面側を下向きにして搬送ベルト上で搬送したり、チャックしたりするため、ゲージ抵抗41あるいは電子積層42の形成される裏面側の必ず不良の発生が多いという問題がある。また、低抵抗素子の半導体チップをパイレックスガラスなどの台座と静電接合する組立工程では、チップ面に止り、台座側に負の極性で例えば800Vの電圧の印加を必要とするが、この場合にもチップ裏面側の必ず不良発生の問題がある。あるいはチップ裏面に均一電圧があるため電圧印加用の電極への接触不良による接合不良の発生の問題があった。

本発明の目的は、上述の問題を解決し、ゲージ抵抗、付着回路電子積層の形成される裏面側への必ず不良の発生、あるいは裏面側への台座と静電接合する際の接合不良の発生のおそれなく取

りここので素子半導体素子を素子半導体素子素子を提供することにある。

(課題を解決するための手段)

上記の目的を達成するために、裏面側に図解を有する半導体素子の裏面側の第一導電型の層に第一導電型のゲージ抵抗もしくは第二導電型の付着回路電子積層を有する半導体素子素子において、半導体素子周囲部の前記裏面上にゲージ抵抗および電子電極に形成される電極より高い少なくとも3個の突起が分散し、設けられたものとする。さらに、そのような半導体素子素子の半導体素子の裏面側の内部の周囲の部分と静電接合されるものであって、突起が周囲の部分と電気的に接触される電極であるものとする。

(作用)

半導体素子のゲージ抵抗および電子積層に接触される電極より高い突起が3個以上、電極の周囲部に分散して設けられているため、そのような突起の高さする面を下向きにしてチャックしたり、搬

送したりなどとしても、突起がチャックあるいは搬送ベルトなどの硬い面に接触し、その裏面の周囲にある部分は接触する機会が減少するので、必ず不良の発生が防止できる。また静電接合時には、半導体素子の接合される部分と電気的に接触された電極を3個以上、半導体素子の裏面の周辺部に他の電極より高く設けられることにより、静電接合のための電圧を印加する電極電圧台の上にその電極を接触させて支持すれば、その裏面の内側にある部分は支持台に接触することがなく、必ず不良の発生が防止できると共に、電圧印加のための接触が容易に行われる。

(実施例)

以下、第2図、第3図と共通の部分に同一の符号を付した図を引用して本発明のいくつかの実施例について説明する。第1図に示した実施例では、第2図と同様にダイヤフラム部2およびゲージ抵抗41を形成したシリコンチップ1の図解3と反対側の面には、酸化膜5の下部で、接合用の電極51がゲージ抵抗41に接触するほか、裏面突起52が同

特開平4-17374(3)

以4個所にチップ1に形成している。金属突起7の高さは電極1の高さより高い。そして下端がチップ1の裏面に密着する。トにより高い部を陰極と持っている。第4図は、別の実施例で、第1、第2図と同様に、半導体チップにゲージ抵抗のみを形成したチップ1を例の平面図および例の断面図で示し、チップ表面を酸化膜5、保護酸化膜51、酸化膜52が被覆している。ゲージ抵抗41に接触し、酸化膜5、保護酸化膜51を貫通し、酸化膜52の窓部C露出する電極51にボンディングパッド81が固着している。金属突起7は、下端がチップ面に密着し、電極51と同様に露出する。保護酸化膜51を貫通し、酸化膜52の窓部で露出する導体71に固着している。第5図にパッド81と金属突起7の部分の詳細を示し、金属突起7のトには酸化膜5の厚い部分50が形成されている。その結果、金属突起7とボンディングパッド81との間には段差が生ずる。トはチップの大きさに応じて適宜選ばれる。この段差があるため、半導体チップ1の電極01のある面を下にして前述ベルトに取付た場合、金属

突起7がベルトに接触し、ゲージ抵抗41のある面はベルトに接触することはない。

第6図、第7図は第5図と同様に付属図の態様とされたC型半導体部活素子の半導体チップ1を示し、第8図の実施例では、金属突起の役をする電極63は保護導体71を介してD、分離層74に接触し、チップのF面基板11に電気的に接続される。そしてこの電極63と素子電極62の延長部に形成されるボンディングパッド82と間には酸化膜の厚い部分50に基づく段差が形成されている。第7図の実施例では、そのような段差が導体71の上に形成されたパンプ電極64を高くすることにより形成される。

第8図は、第6、第7図に示した実施例の金属突起の役をする基板接続電極53を静電結合時のシリコンチップ1への接地電極として利用する状態を示す。すなわち、下部電極21の上にシリコンチップ1を載せ、さらにその上にバイレクタムガラス65をならせ、上部電極23を重ね、図示しないが下部電極21を加熱体の上に載せてチップ1を

300〜500℃に加熱し、上、下部電極間に電圧24により800V程度の静電圧を多量に加すと、チップ1の面と台座22の面との間に30〜40%の力が働き、静電接合が行われる。この場合、電極53はチップ上の接地線より高く、また分断線を通じて図部2側の基板部分に電気的に接続されているので、電圧の印加は静電で接合不良が生じない。

(発明の効果)

本発明によれば、半導体部活素子の半導体高圧の凹部と反対側の平面周辺部に内蔵に存在する電極よりも高い突起を分散して形成し、支持体面にその突起が接触するようじずることにより、絶縁ベルトなどで支持する場合の熱体の熱伝導率への阻害が避けられ、さす等の損傷の発生による性能劣化がなくなる。また、その突起の壁を凹部の周囲部分に電気的に接続される電極に引寄せさせることにより、その周囲部分と台座との静電接合を行うための背面印加の接地電極として用いることができ、他の部分より高いため接合不良の発生がなく、静電接合の信頼性を高めることができる。

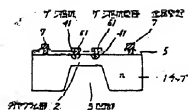
#### 1. 図面の簡単な説明

第1図は本発明の一実施例の第1の断面図、第2図は従来の素子の断面図、第3図は従来の別の素子の断面図、第4図は本発明の他の実施例の素子を示し、そのうち例は平面図、例は断面図、第5図は第4図の素子の一部分拡大断面図、第6図、第7図は本発明のさらに異なる実施例の素子それぞれの断面図、第8図は本発明による素子の使用例を示す断面図である。

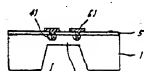
1：シリコンチップ、2：ダイカラム凹部、3：凹部、41：ゲージ抵抗、42：素子増強、61：ゲージ抵抗電極、62：素子電極、63：基板接続電極、64：パンプ電極、71：金属突起、74：導体、81、82：ボンディングパッド。

FIG. 1

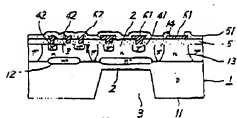




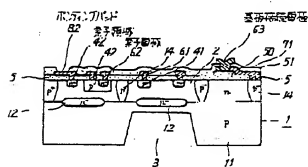
第 1 図



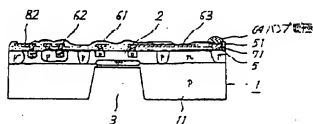
第 2 図



第 3 図



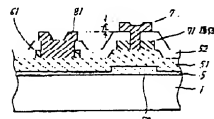
第 4 図



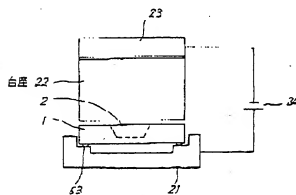
第 5 図



第 6 図



第 7 図



第 8 図